

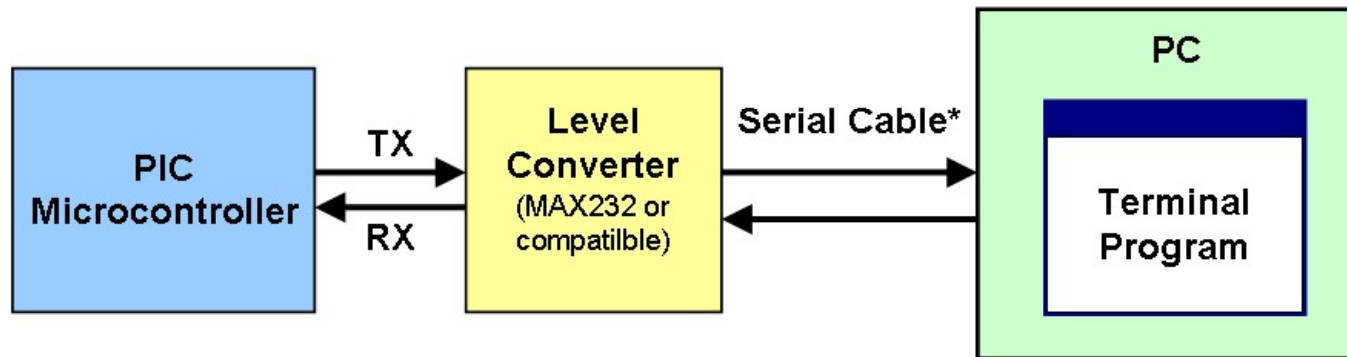
Računske vežbe iz
Projektovanja Elektronskih
Sistema
čas 2
Doc.dr Borisav Jovanović

Sadržaj:

Serijski komunikacioni protokoli.

- RS232,
- RS485,
- I2C i
- SPI.

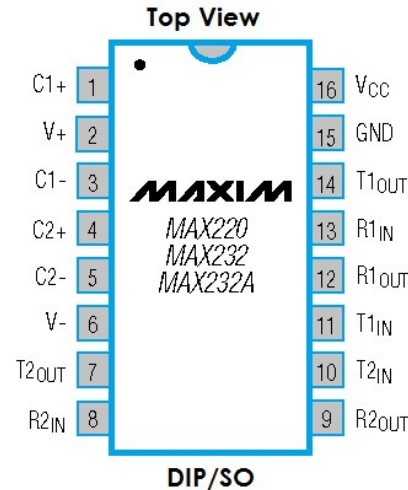
RS232 protokol



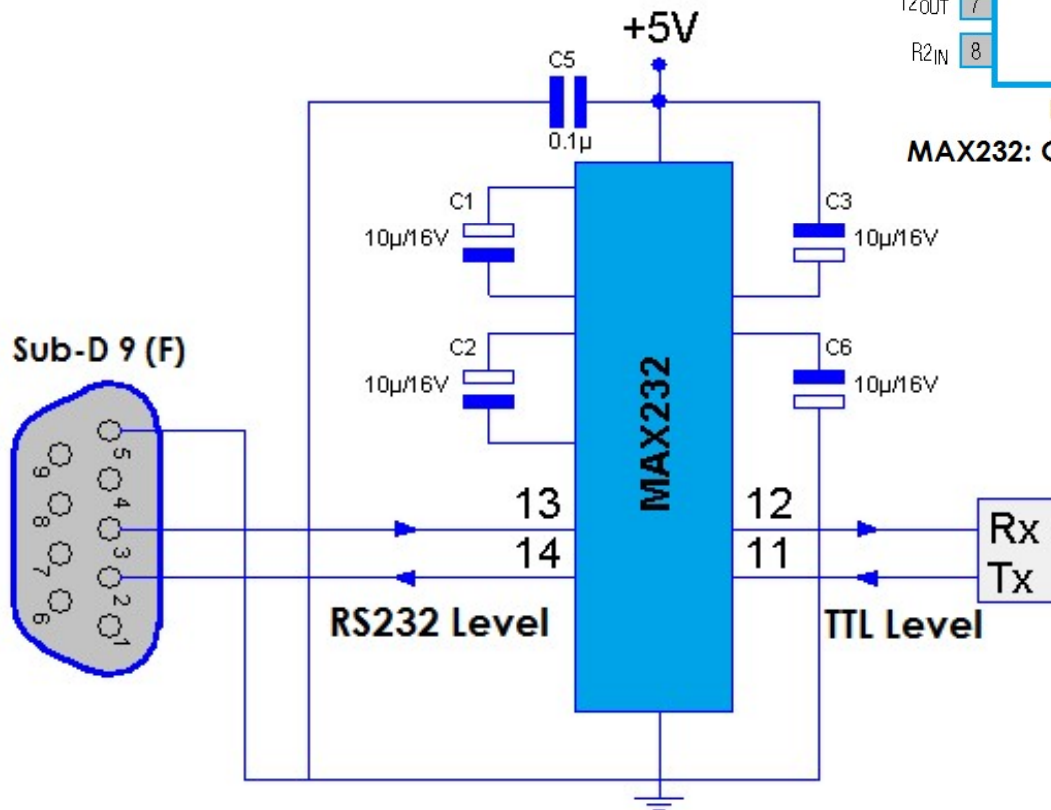
* or USB-to-Serial Converter

rs232_comm_block_diagram.ppt, v1.0,
Copyright © 22.10.2011 Christian Stadler

RS232 protokol



MAX232: Construction, Operation, Types and Application

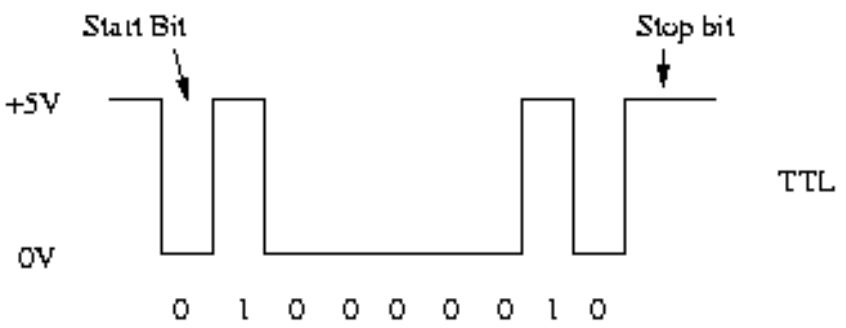


PC Serial PORT communication using MAX232

RS232 protokol



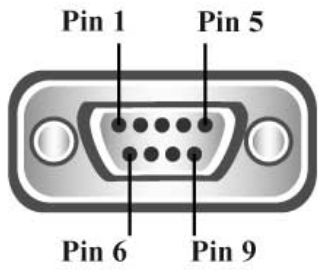
RS232 protokol

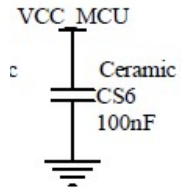
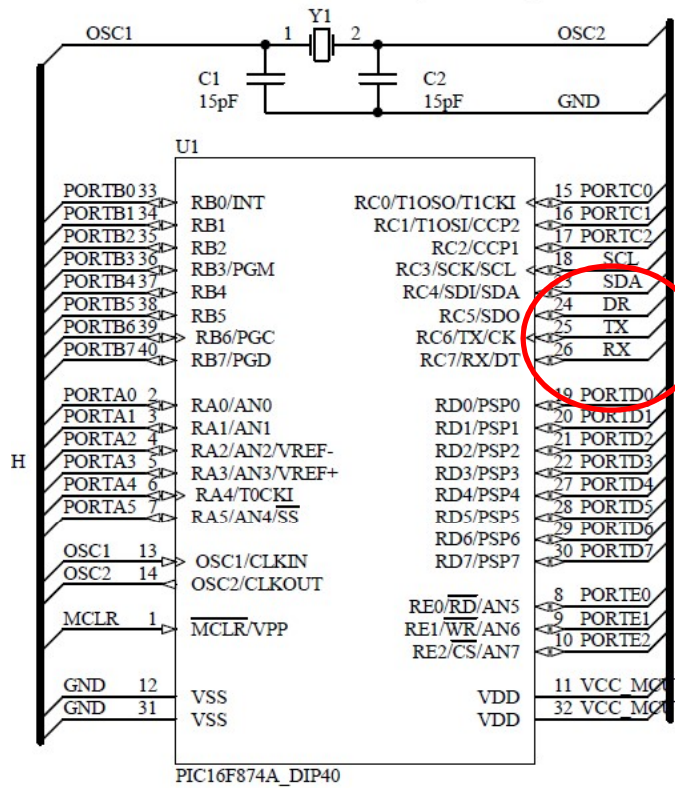


RS232

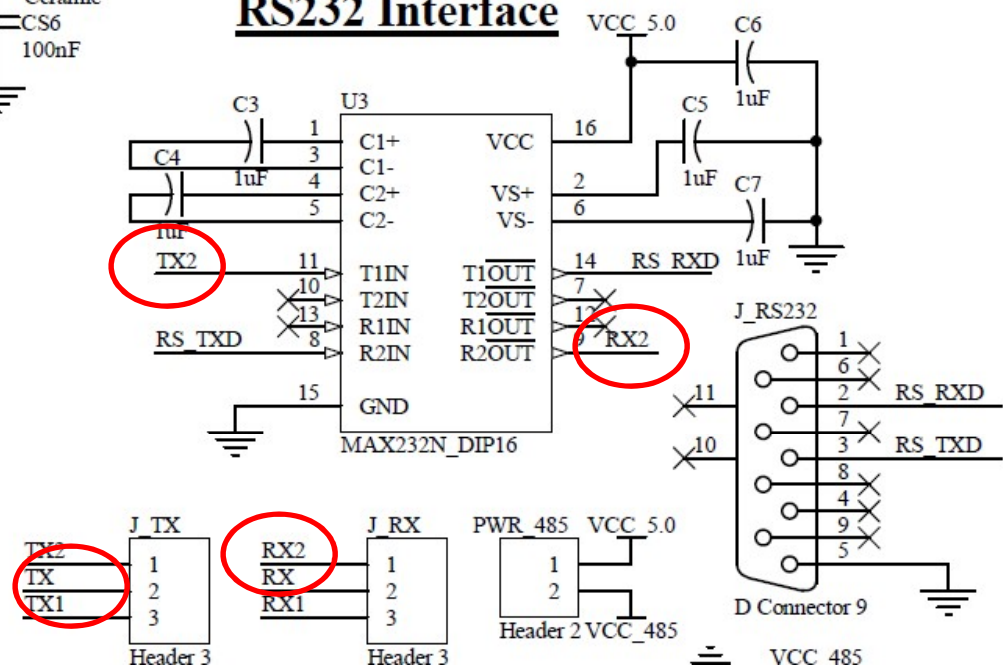
Pin 1	DCD
Pin 2	RXD
Pin 3	TXD
Pin 4	DTR
Pin 5	GND
Pin 6	DSR
Pin 7	RTS
Pin 8	CTS
Pin 9	RI

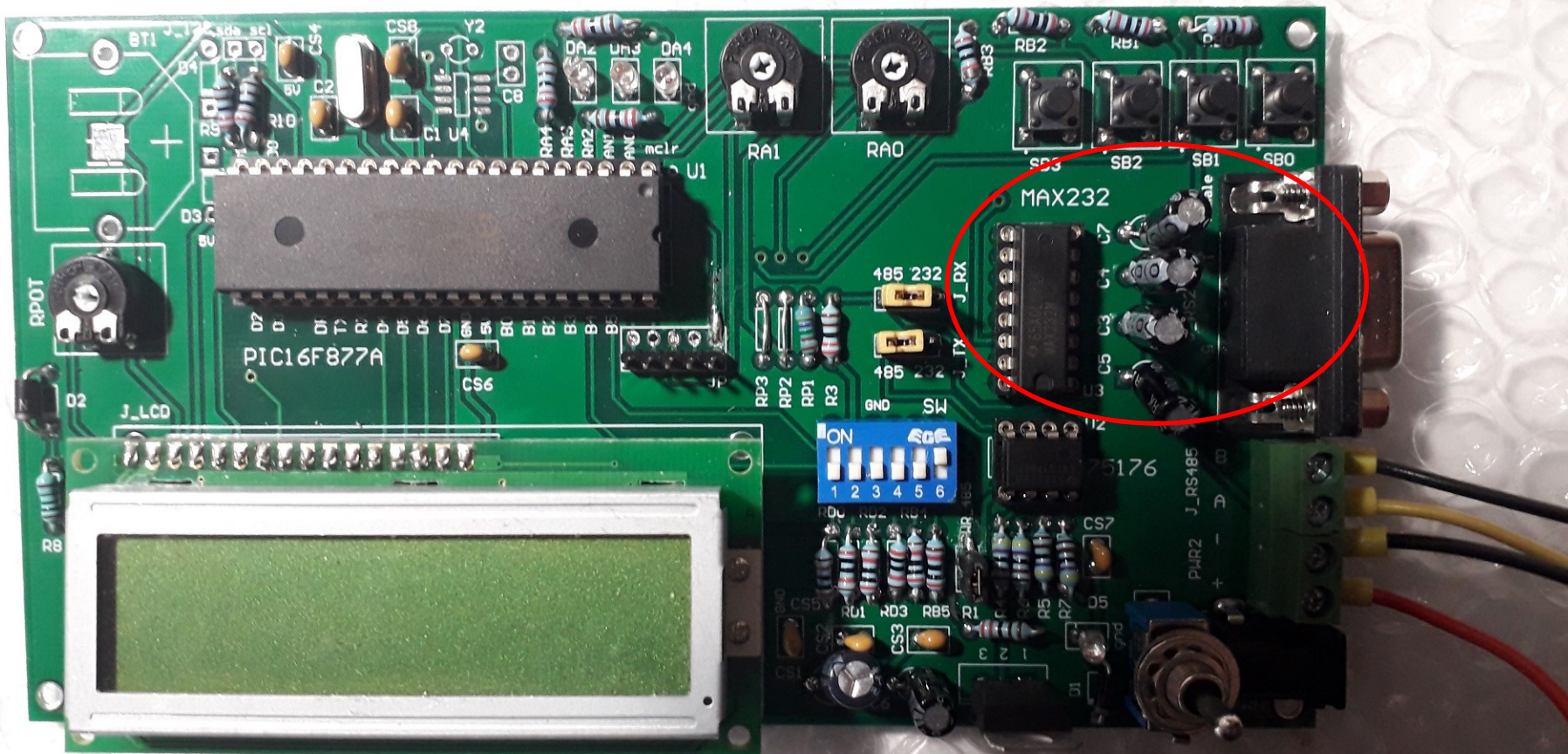
RS232 Pinout (9 Pin Male)

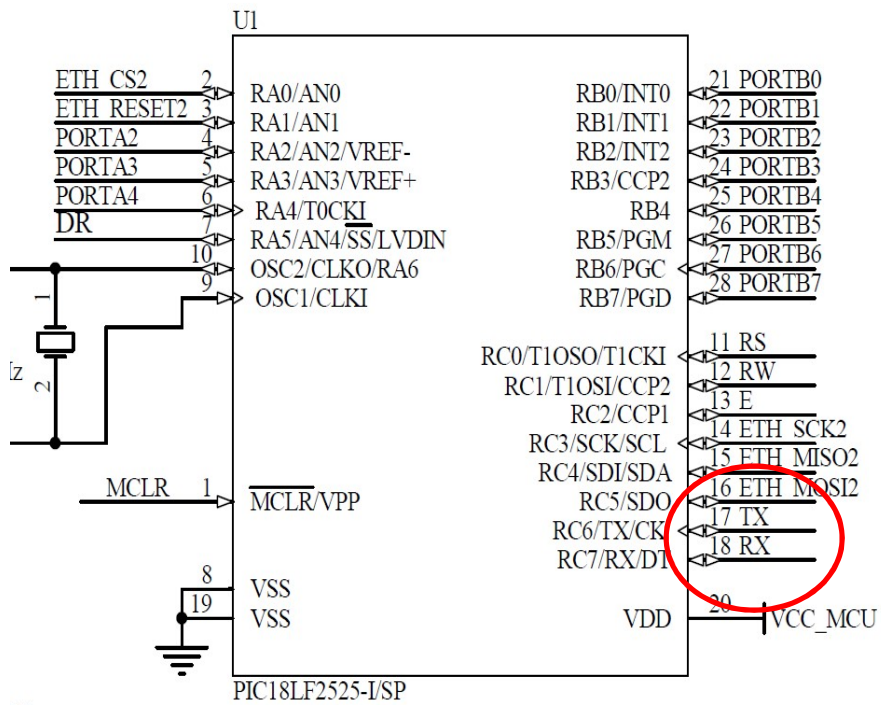




RS232 Interface

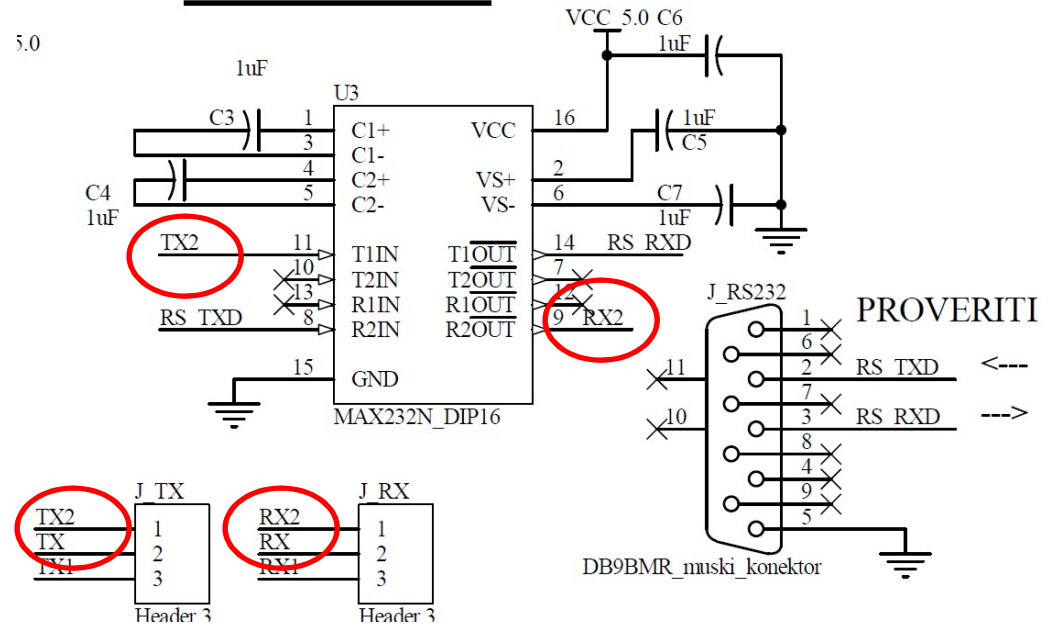


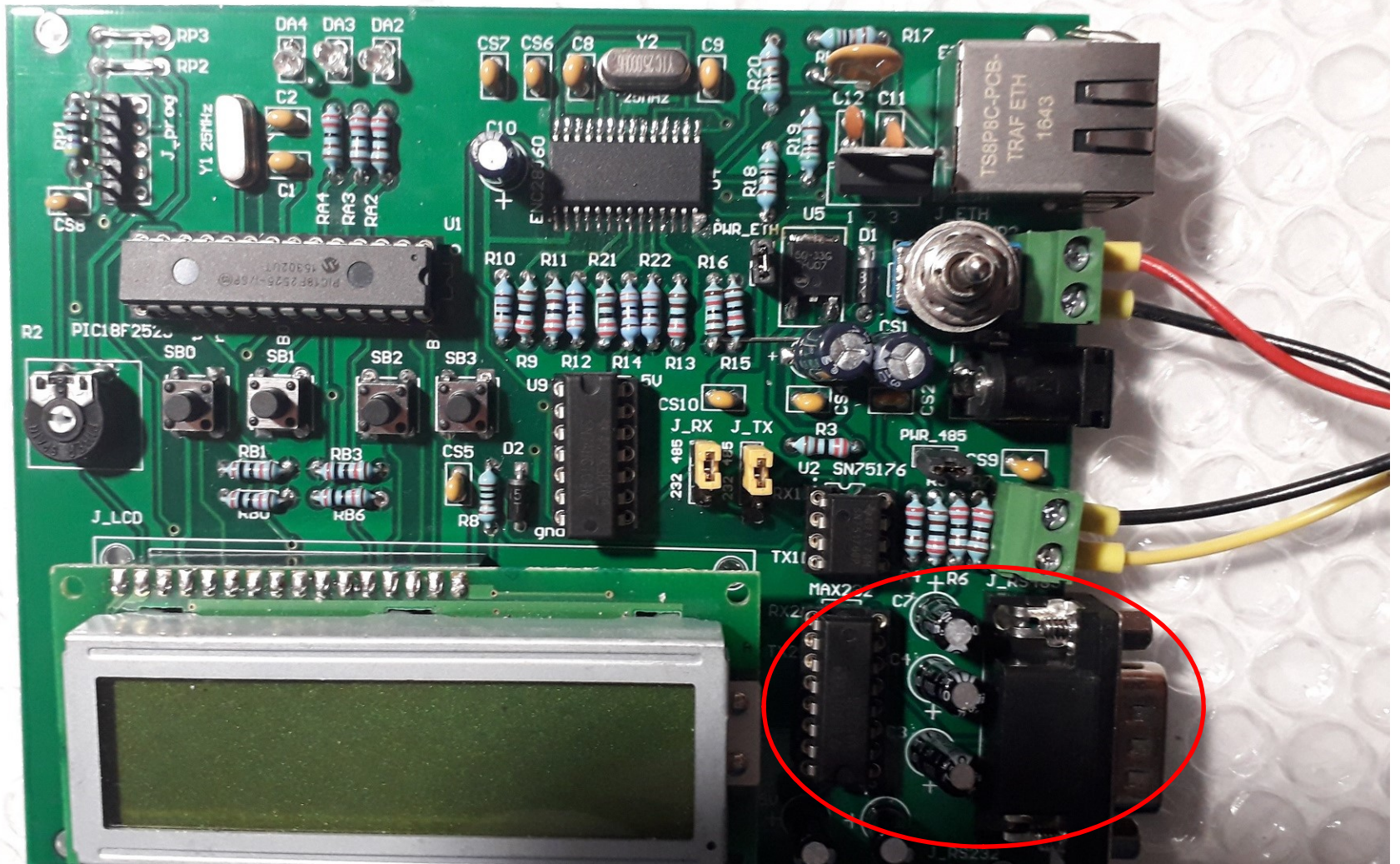




11

RS232 Interface



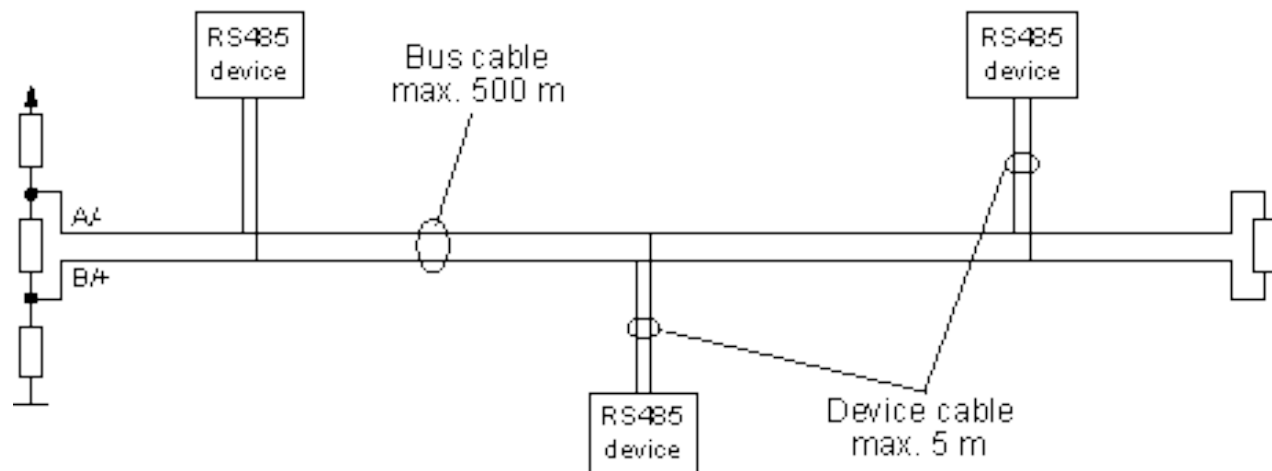


RS485 protokol

- RS485 verzija standardne RS232 komunikacije, signal se prenosi diferencijalnim putem, maksimalno rastojanje između uređaja koji komuniciraju je 1200m.
- Kao drajvere za RS485 komunikaciju koristimo kola SN65176.

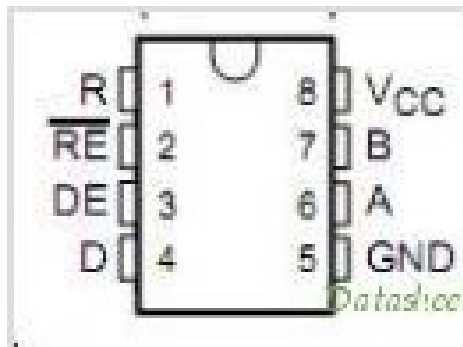
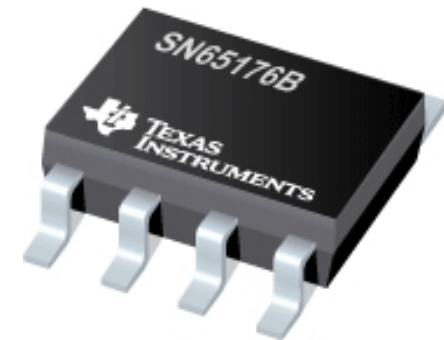
Maksimalni *Baud rate*, tj. brzina prenosa podataka, zavisi od dužina linija A i B, podužnih kapacitivnosti, kao i od materijala od koga se medijumi za prenos podataka prave.

RS485



RS485 protokol

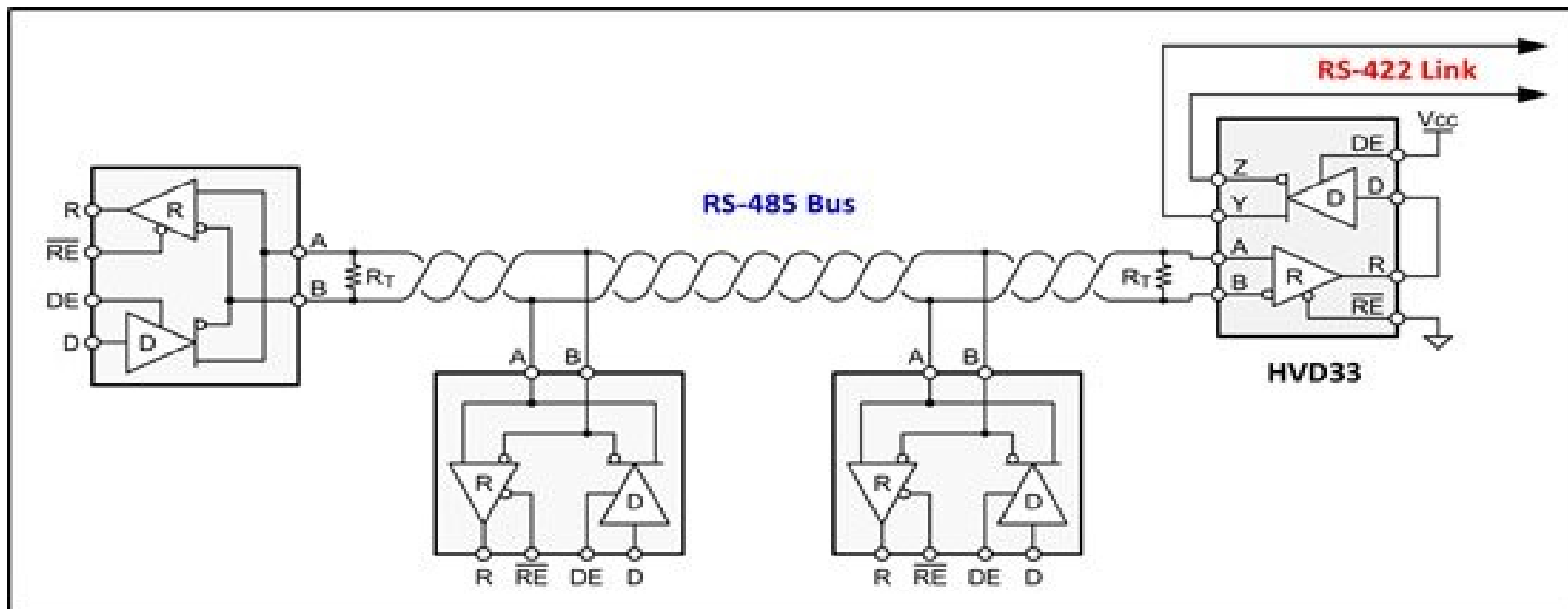
ULAZ (D)	ENABLE (DE)	IZLAZ	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

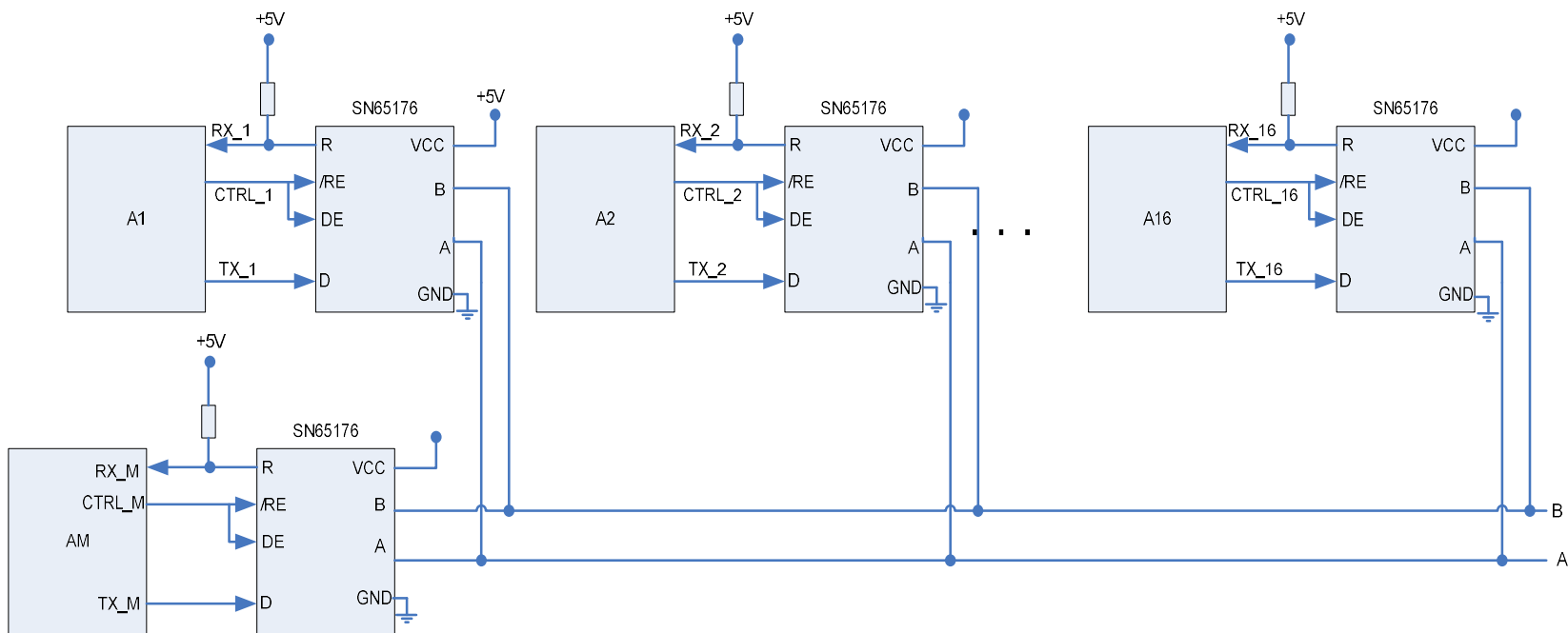


Integrirano kolo SN65176 – RS485 drajver

DIFERENCIJALNI ULAZI (A-B)	ENABLE (/RE)	IZLAZ (R)
$V_A - V_B \geq 0.2V$	L	H
$-0.2V \leq V_A - V_B \leq 0.2V$	L	?
$V_A - V_B \leq -0.2V$	L	L
X	H	Z
OPEN	L	H

RS485 protokol

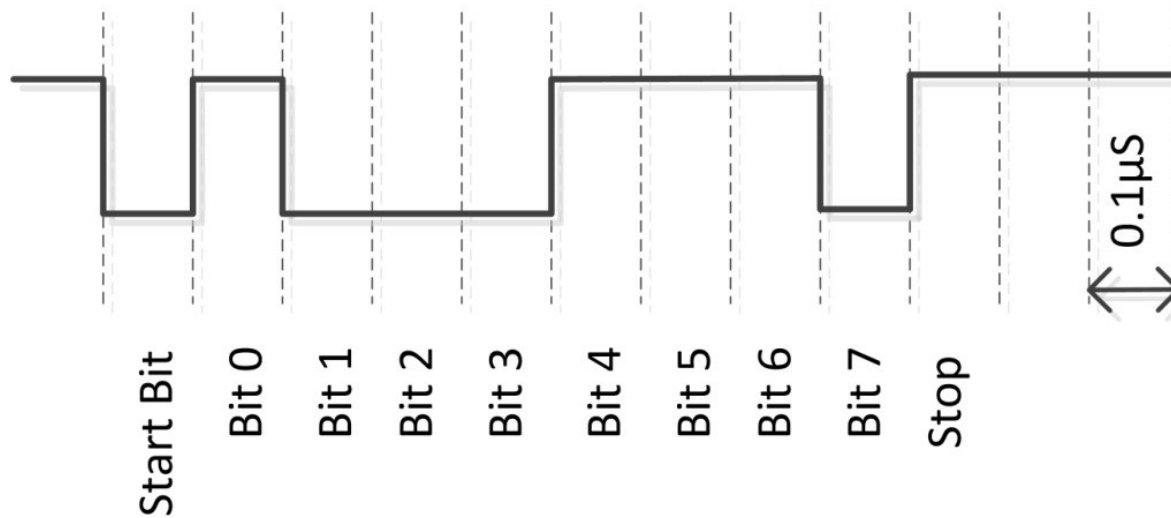


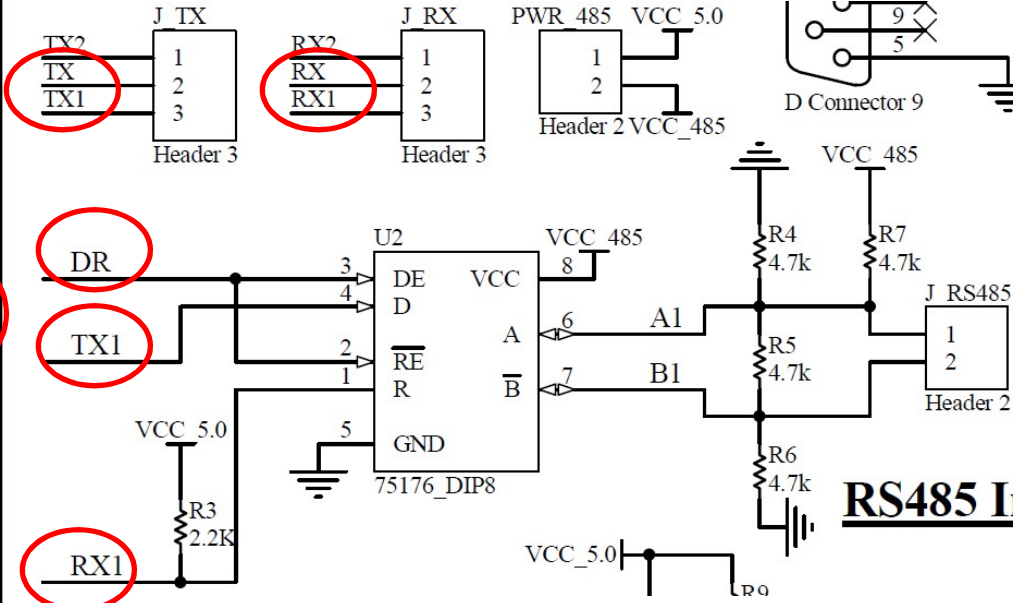
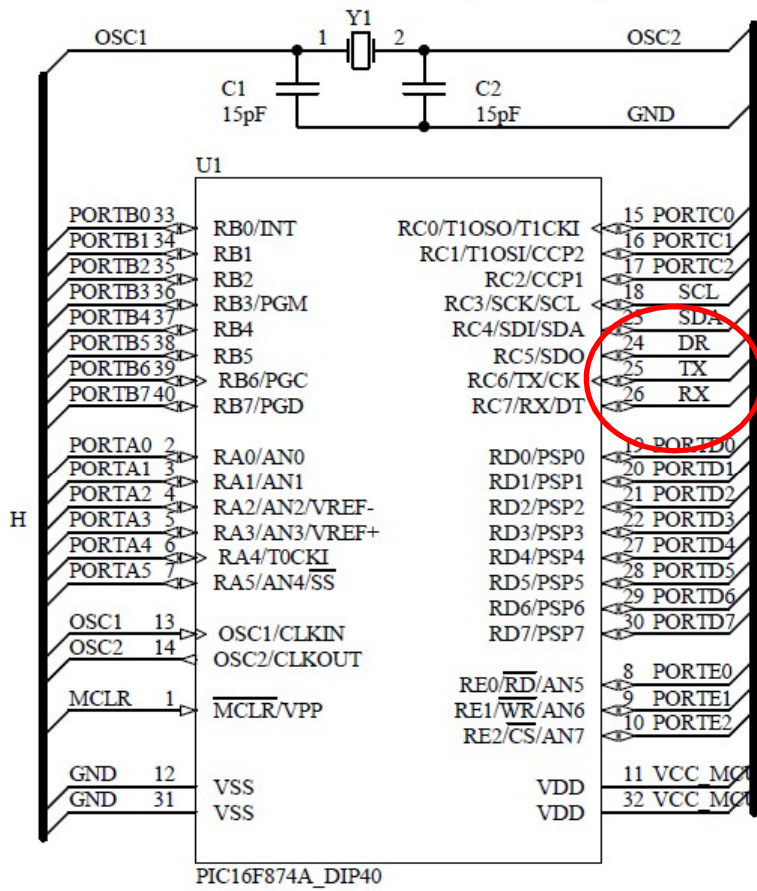


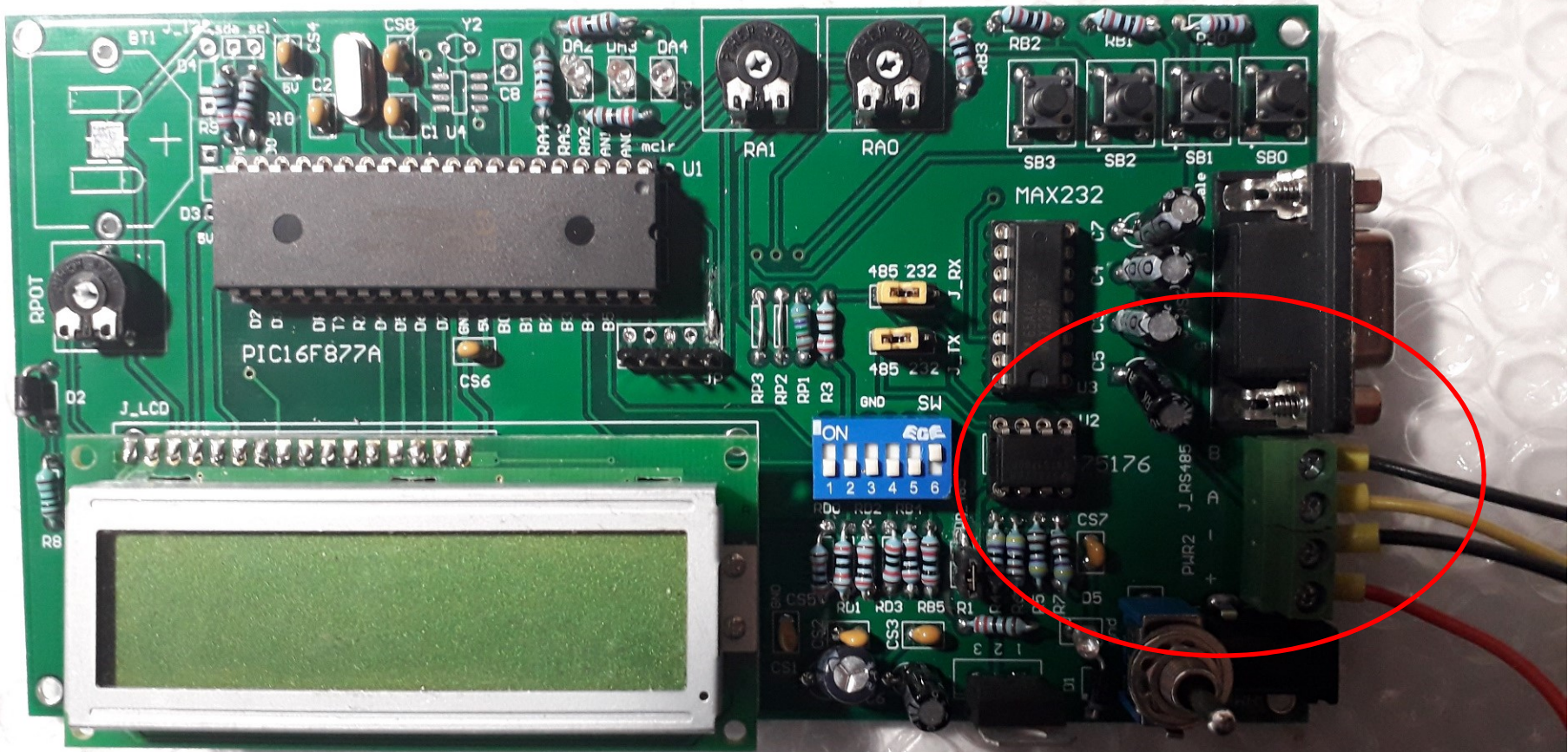
RS232 i RS485 protokol

Signal koji izlazi iz mikrokontrolera i ulazi u drajver

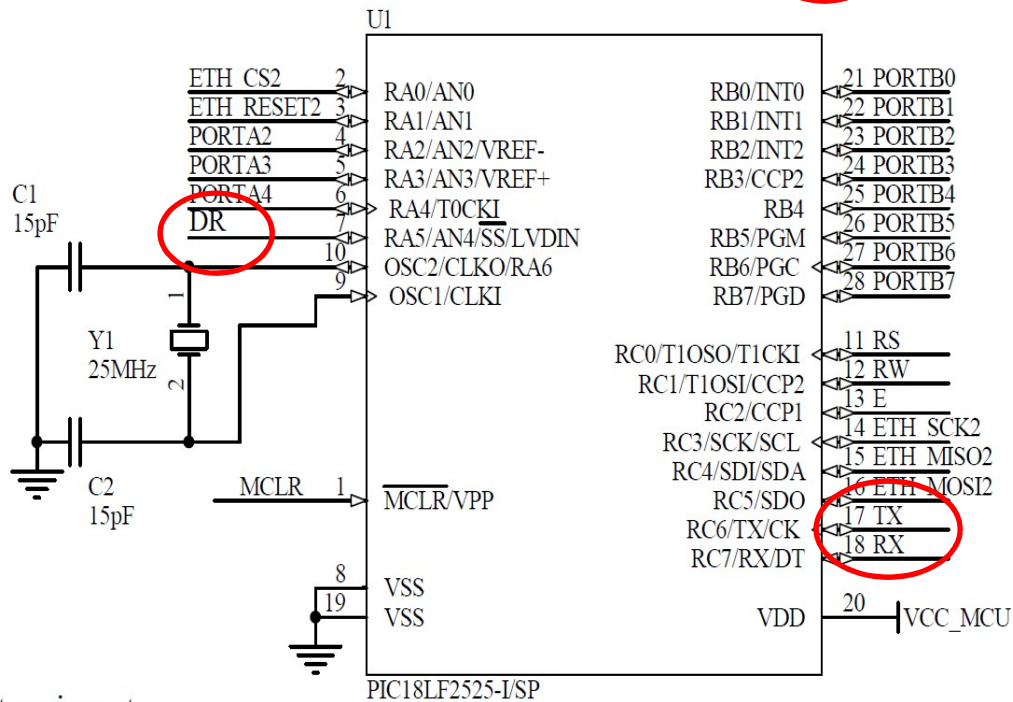
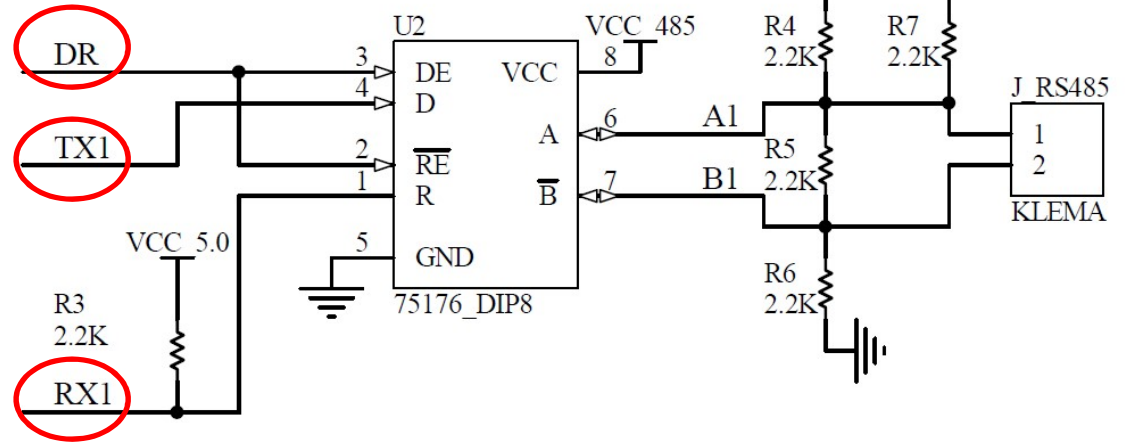
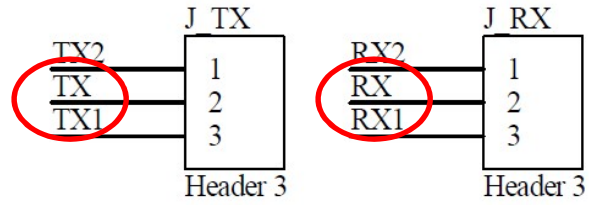
0x71, 8N1 (8 Data bits, No Parity, 1 Stop)

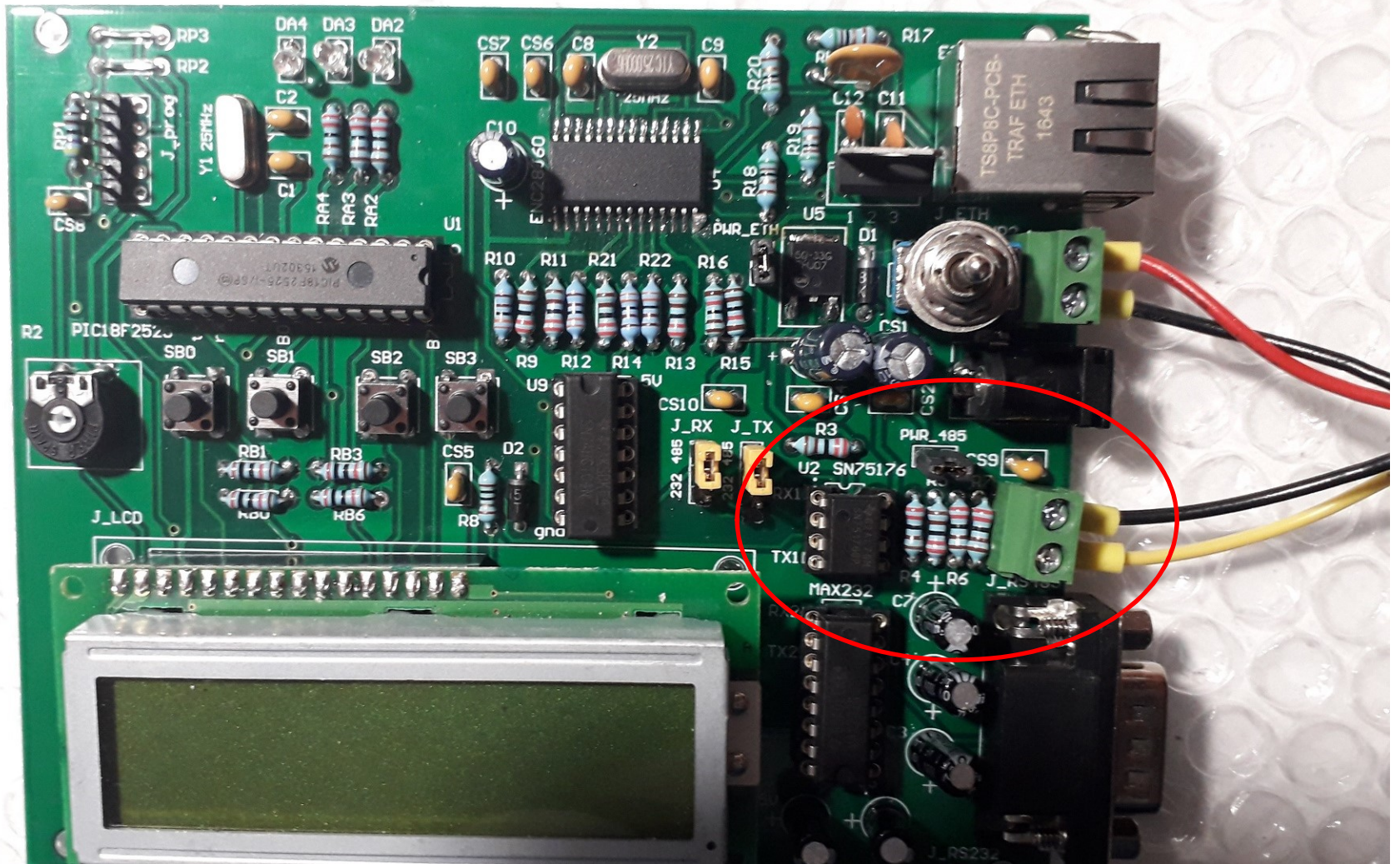


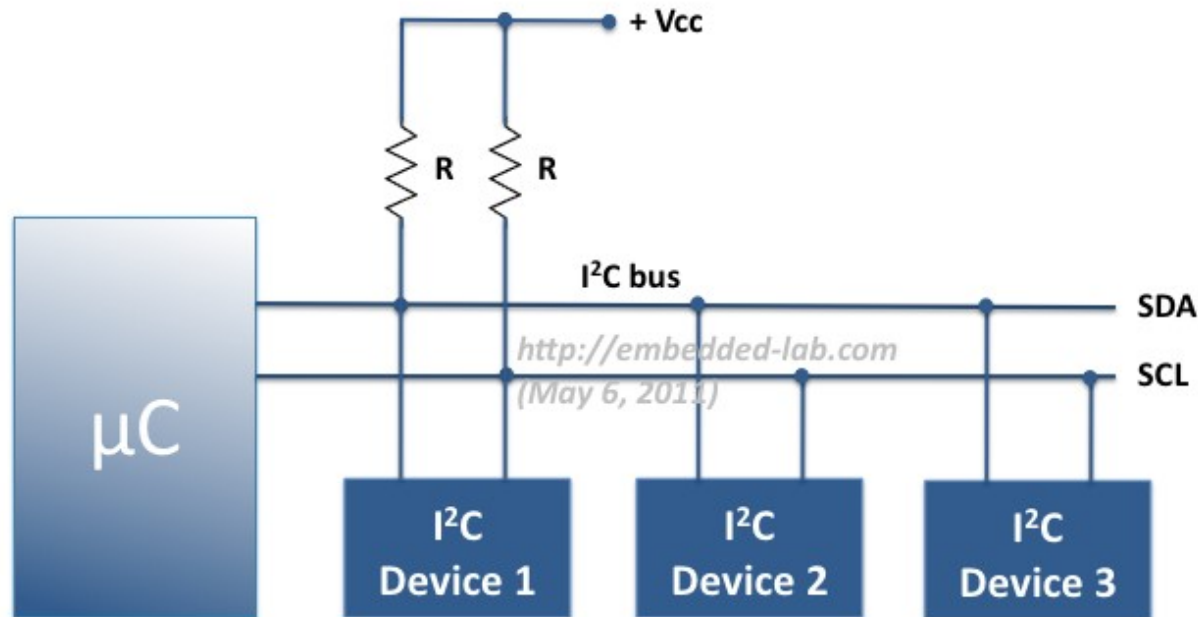




RS485 Interface



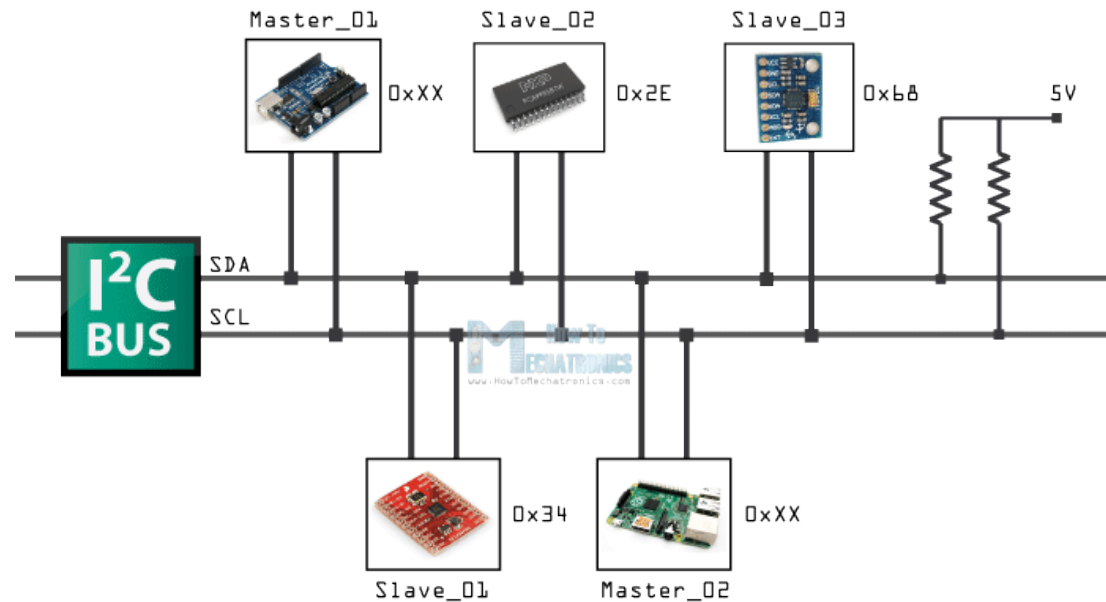




Multiple devices on common I²C bus

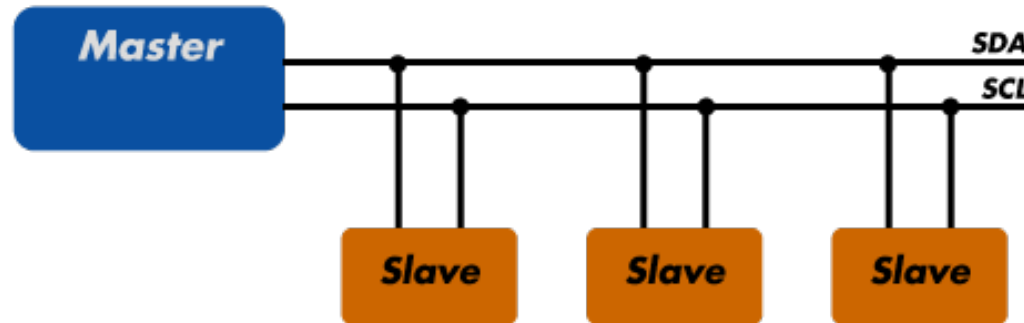
- I2C (Inter-Integrated Circuit) je *short range* serijski interfejs koji zahteva samo 2 linije za prenos podataka SDA i SCL
- Koristi se za komunikaciju komponenata na štampanoj ploči

I2C protokol



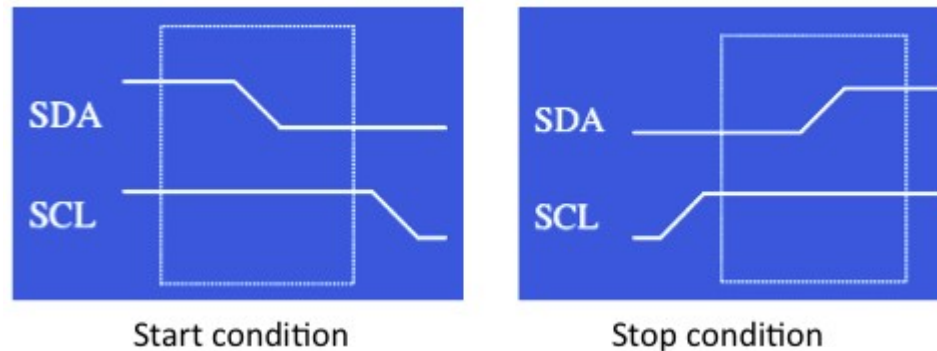
- I2C koristi dve linije: serijsku liniju za podatke (SDA) i serijsku liniju za takt (SCL).
- Podaci poslani sa jednog uređaja na drugi prolaze kroz SDA, dok je SCL obezbeđuje potrebnu sinhronizaciju za prenos podataka.
- Uređaji mogu da budu ili Master ili Slave. Samo Master inicira prenos podataka dok Slajvovi samo reaguju na poruke Mastera.
- Moguće je imati više Mastera na zajedničkoj magistrali, ali samo jedan može biti aktivan u neko vreme. Master generiše takt preko SCL linije.

I2C protokol



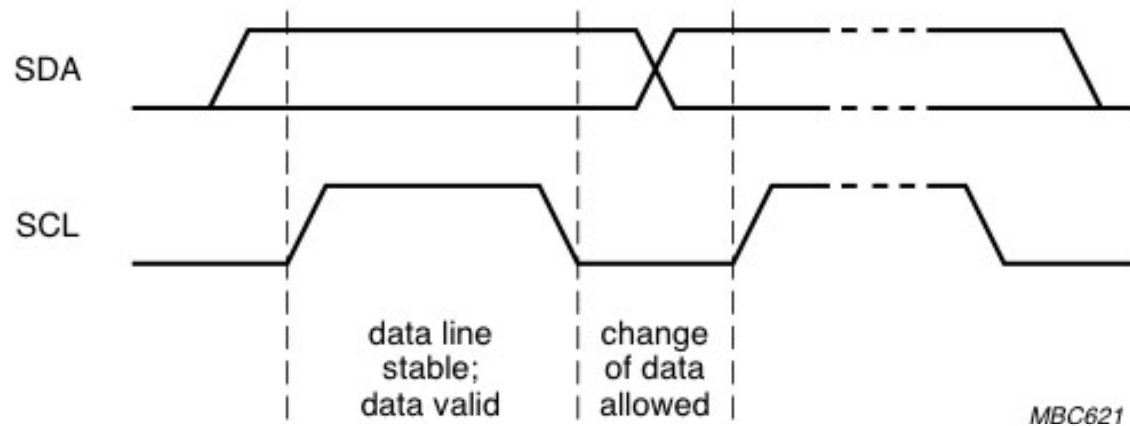
- Oba pina SCL i SDA realizovani su kao *open drain* drajveri i povezani su sa pozitivnom naponom napajanja (V_{cc}) preko *pull-up* otpornika.
- I2C uređaji na pinovima SCL i SDA mogu generisati logičku nulu, ali ne i logičku jedinicu.
- Kada nijedan I2C uređaj ne vuče I2C magistralu u stanje log. nule, tada je na njoj visoko stanje (preko pull-up otpornika vezana na V_{cc}).
- Podaci se prenose brzinom do 100 Kbps (u standardnom režimu), 400 kbps (u brzom režimu) ili do 3.4 Mbps (u veoma brzom).

I2C protokol



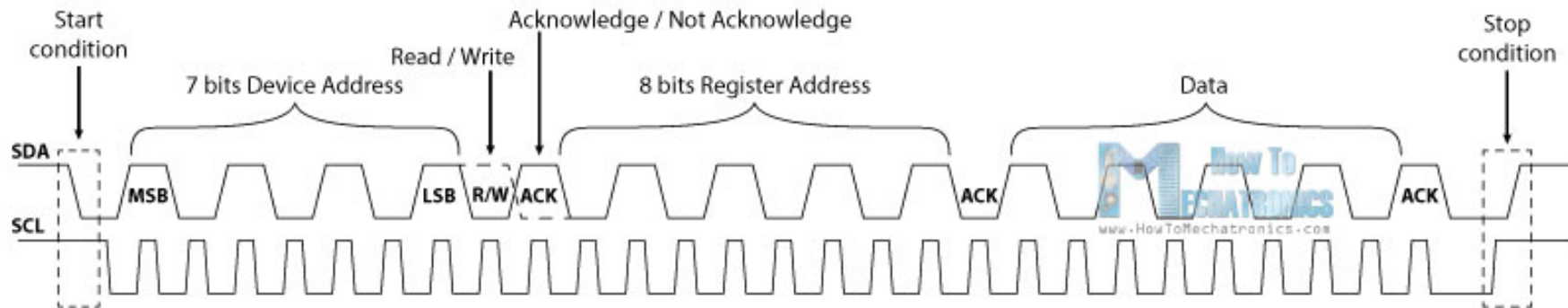
- Pre bilo kog prenosa podataka, Master uređaj generise **Start** stanje da obavesti sve Slajv uređaje da informacije treba da se prenesu preko I2C magistrale.
- Kao rezultat toga, povezani Slajv uređaji slušaju informacije koje se prenose preko linije SDA.
- Kada je prenos podataka završen, Master generiše **Stop** uslov na I2C magistrali.

I2C protokol



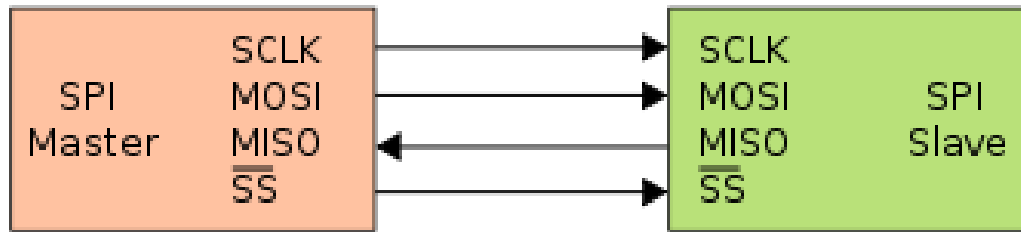
- Svaki bajt koji se prenosi preko linije SDA mora biti dužine 8 bita.
- Podaci se šalju počev od bita najveće težine (MSB)
- Podaci na SDA su u stabilnom stanju (ne menjaju se – ili su log. 0 ili log. 1) kada je nivo taktnog signala SCL visok (SCL=1).

I2C protokol



- Slejv uređaj koji je adresiran je dužan da generiše signal potvrde (ACK signal) za svaki primljeni bajt.
- Bit potvrde ACK se događa se nakon 8.-og poslatog bita.
- Tokom ACK, Master uređaj oslobađa liniju SDA kako bi Slejv uređaj mogao da upravlja stanjem na SDA.
- Slejv generiše ACK=0 kao potvrdu uspešno primljenog bajta.
- Ako Slejv ne generiše ACK, Master prekida operaciju prenosa podataka.
- U slučaju slanja kontrolnog bajta, samo Slejv koji ima odgovarajuću adresu treba da generiše ACK=0.

SPI protokol

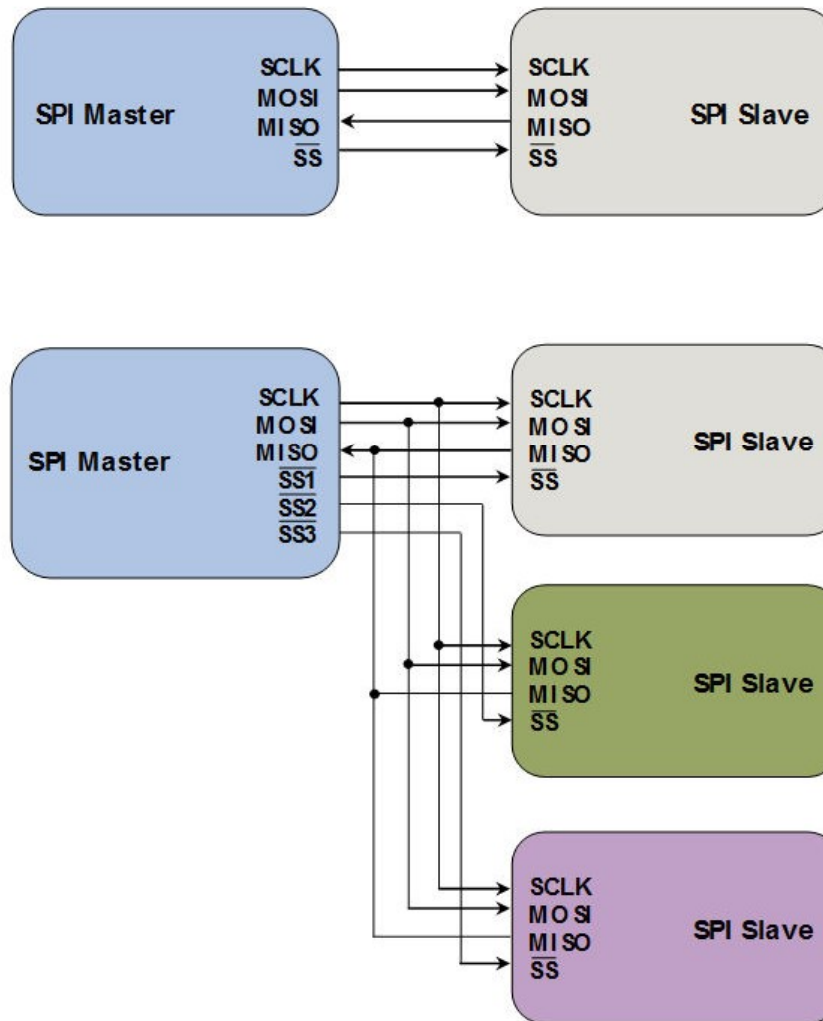


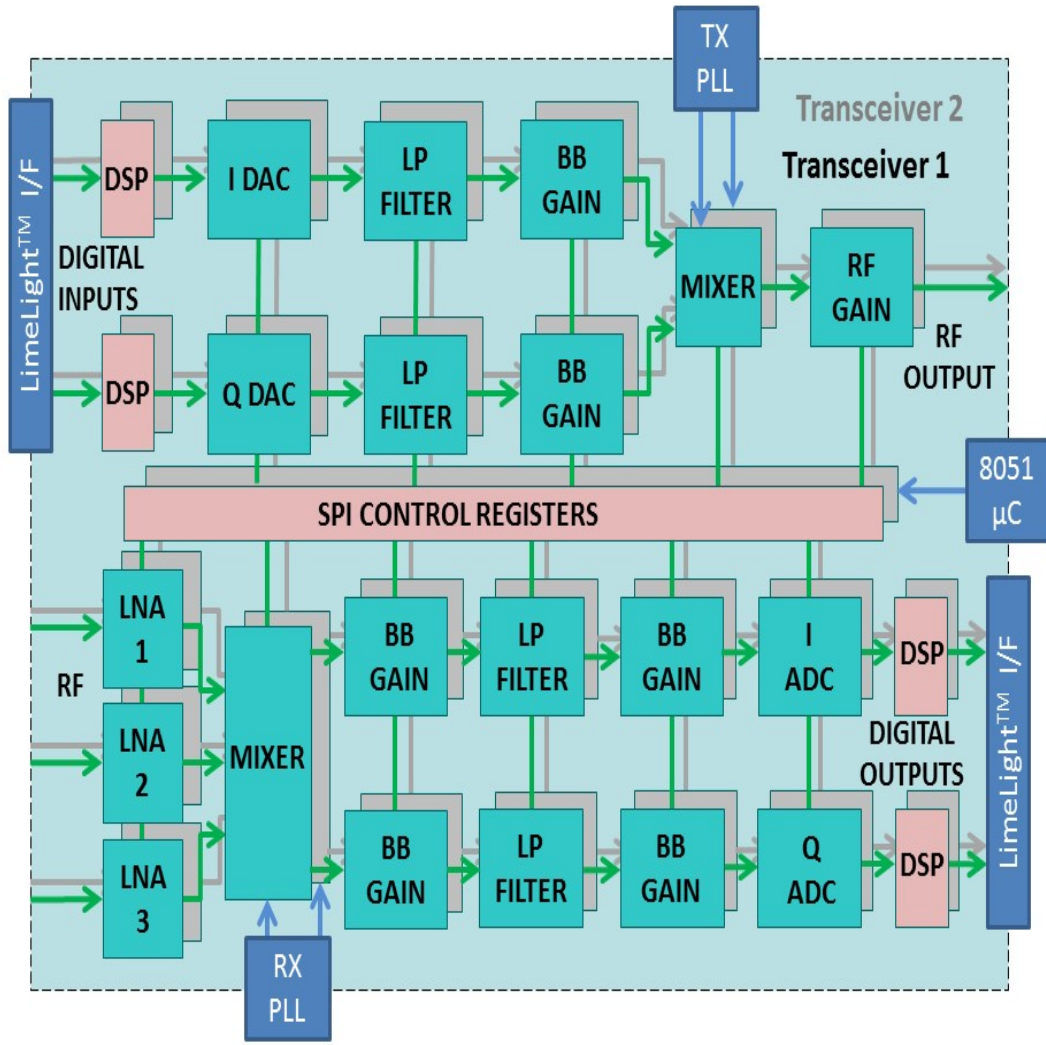
- *Serial Peripheral Interface* (SPI) je sinhroni serijski komunikacioni interfejs koji se koristi za *short range* prenos podataka, pre svega u embedded sistemima (na štampanim pločama i u integrisanim kolima).
- Tipičan interfejs Secure Digital (SD) kartica i LCD displeja.
- SPI magistrala sastoji se od 4 linije:
 - SCLK za sinhronizaciju podataka
 - Signala SS (Slave Select) koji se koristi za selekciju nekog Slaveja
 - Signala MOSI (Master Out Slave In) koji se koristi za prenos podataka od Mastera ka Slavejovima
 - Signala MISO (Master In Slave Out) - za prenos od Slavejova ka Masteru.

SPI protokol

Figure 1 : Two SPI busses topologies. The upper figure shows a SPI master connected to a single slave (point-to-point topology). The lower figure shows a SPI master connected to multiple slaves.

- SPI je komunikacioni protokol sa jednim-Masterom. To znači da jedan uređaj inicira prenos podataka ka Slejvovima.
- Kada Master želi da pošalje podatke, on bira neki Slejv povlačenjem odgovarajućeg signala SS na nivo logičke nule. Zatim aktivira taktni signal SCLK .
- Master šalje informacije preko MOSI a prima podatke preko MISO.





SPI protokol

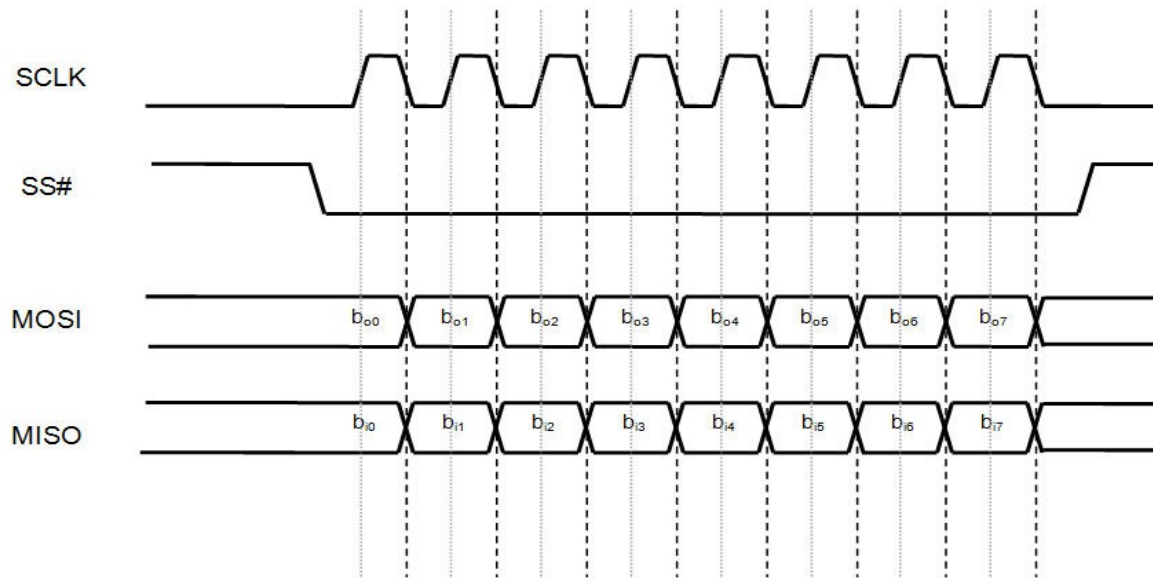
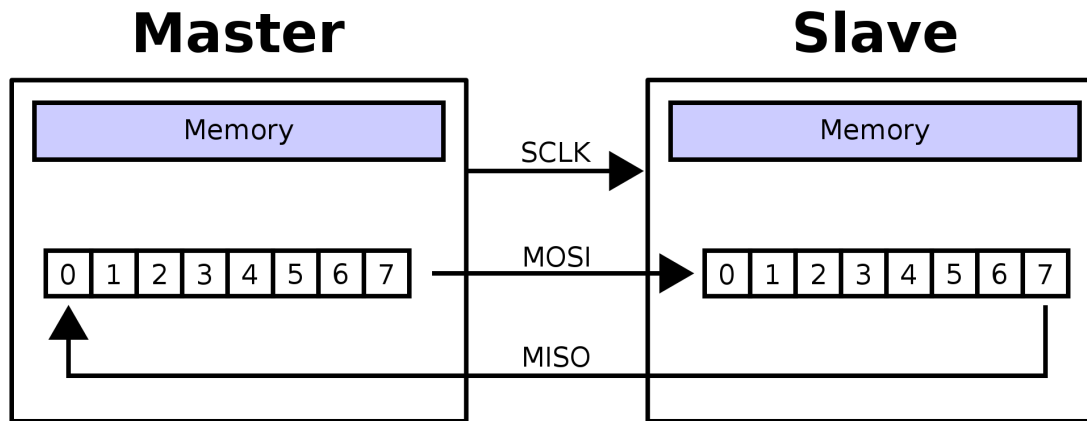


Figure 2 : A simple SPI communication. Data bits on MOSI and MISO toggle on the SCLK falling edge and are sampled on the SCLK rising edge. The SPI mode defines which SCLK edge is used for toggling data and which SCLK edge is used for sampling data.

Četiri moda su dostupna (modovi 0, 1, 2, 3) - koji:

- određuju ivicu SCLK pri kojoj se podaci na MOSI liniji menjaju
- ivicu signala SCLK na kojoj Master sempluje podatke na MISO liniji
- podrazumevani nivo taktnog signala SCLK (log. 0 ili 1, kada takt nije aktivan).

Svaki režim je definisan sa parom parametara pod nazivom 'polaritet takta' (CPOL) i 'faza takta' (CPHA).

SPI protokol

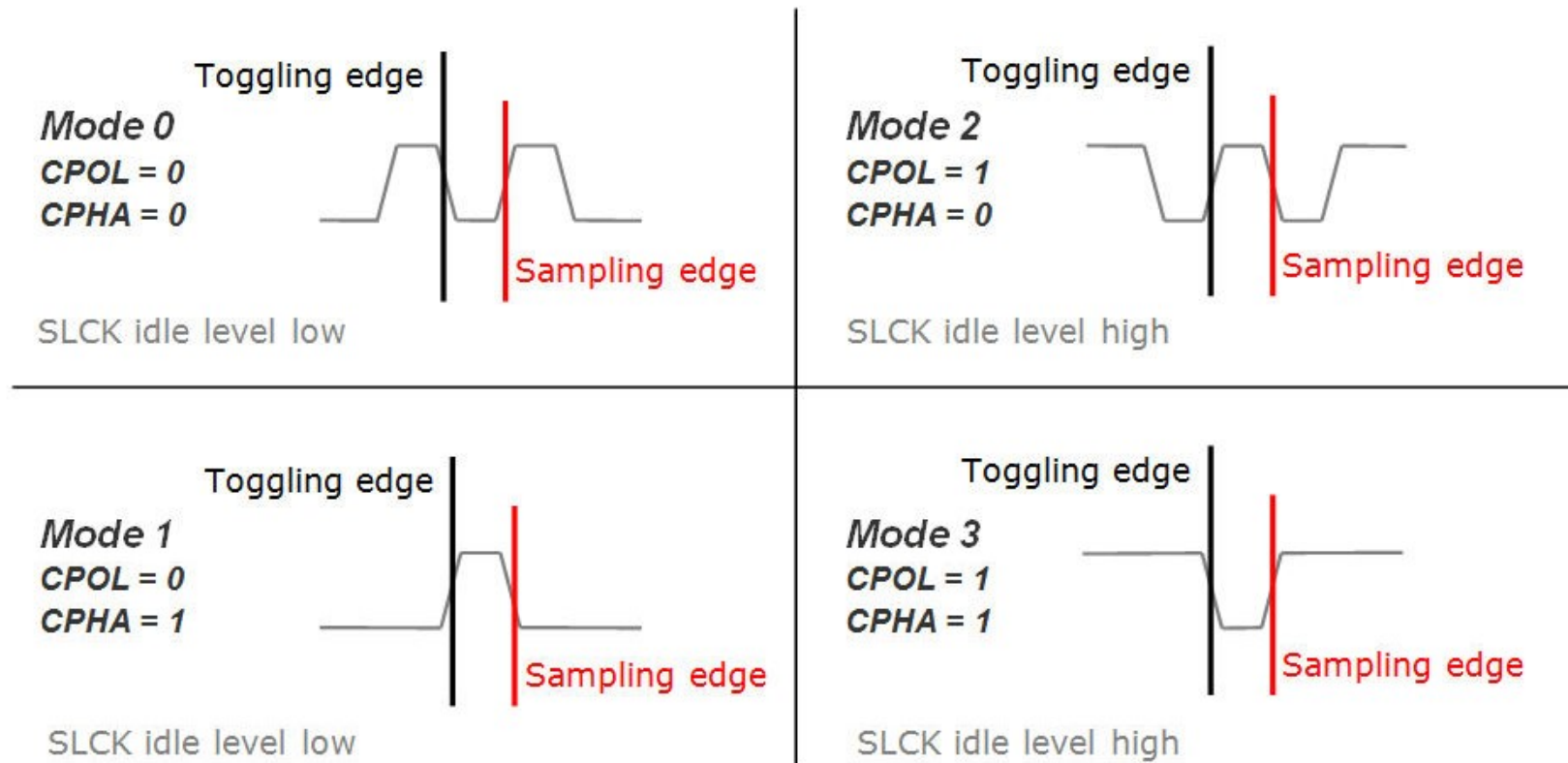
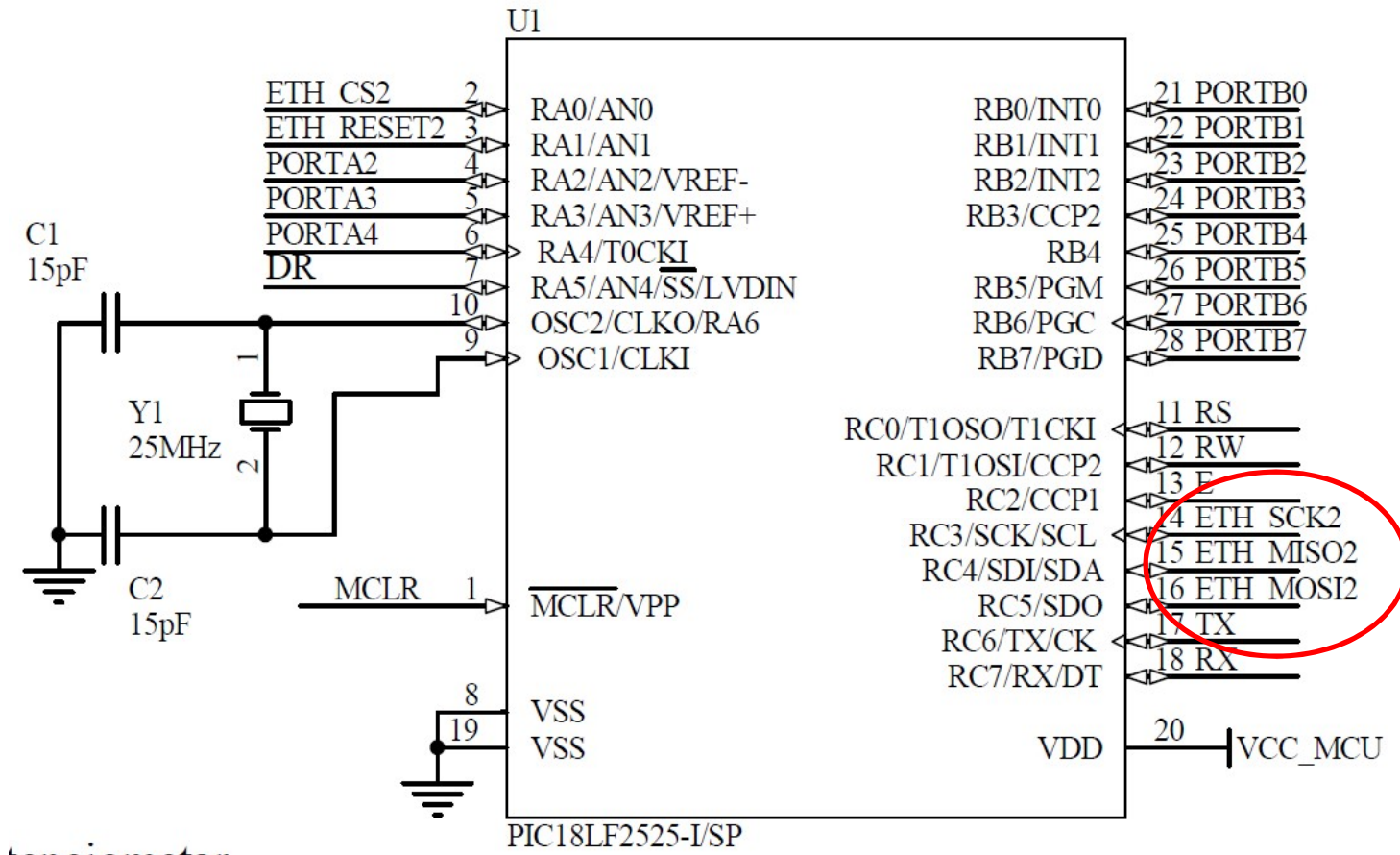


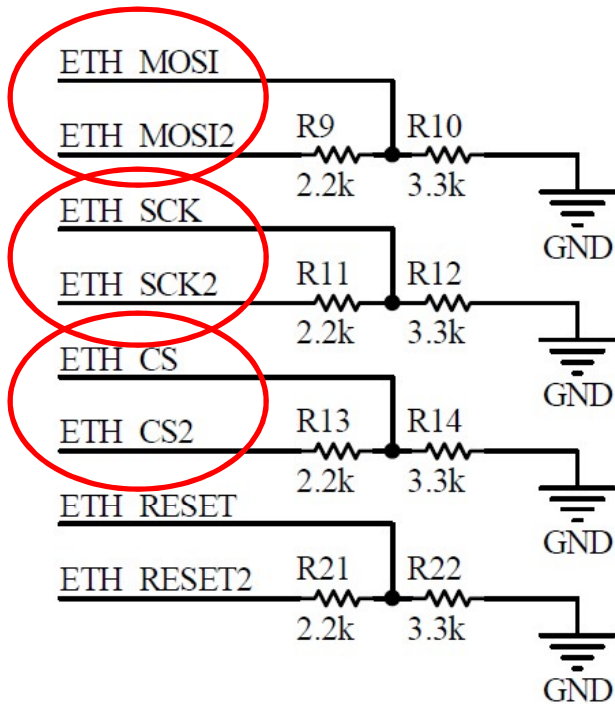
Figure 3 : SPI modes are defined with the parameters 'CPOL' – clock polarity and 'CPHA' – clock phase, which explicitly define 3 parameters: the edges used for data sampling and data toggling and the SCL clock signal idle level – that is the conventional level SCLK is set at when the bus is not in communication.

SPI protokol

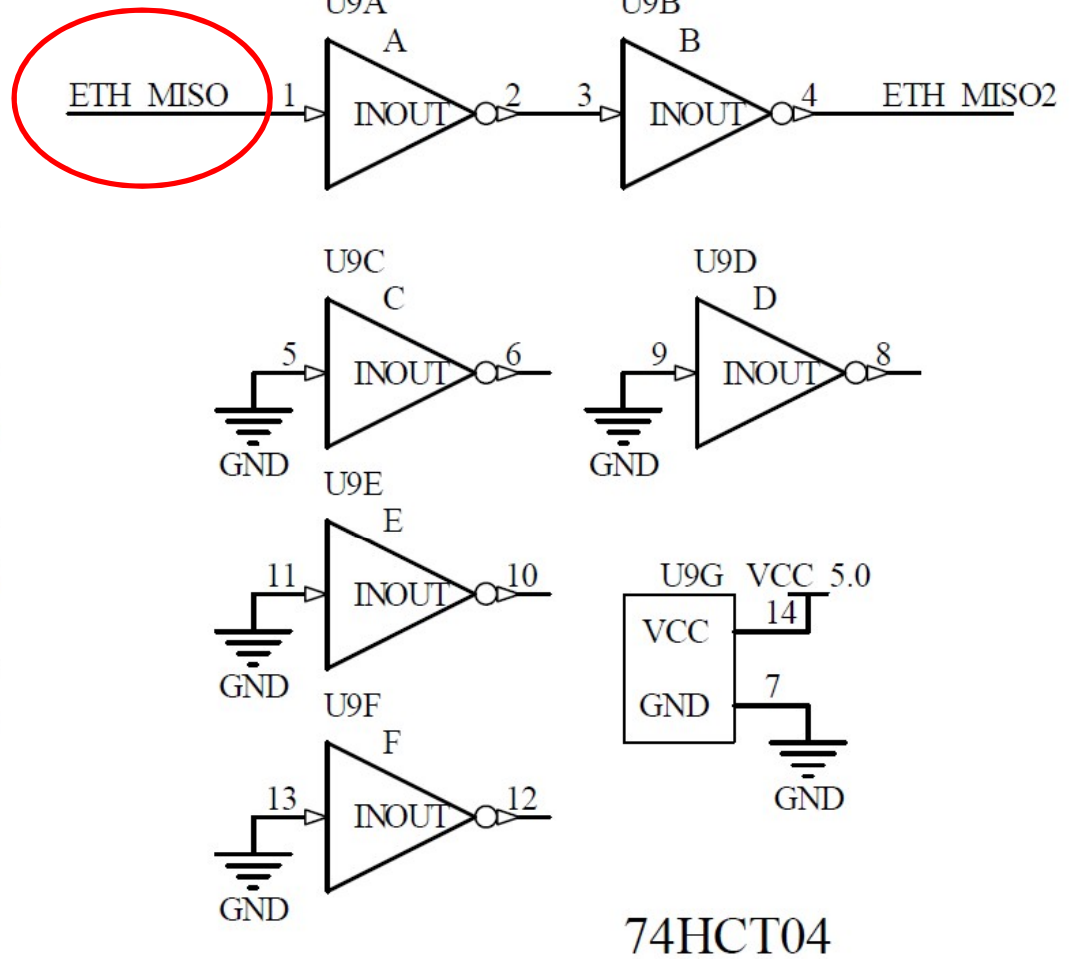
- SPI ne definiše maksimalnu brzinu prenosa podataka.
- Za razliku od I2C, nema mehanizma potvrde prijema podataka (nema generisanja ACK signala) i nema nikakve kontrolu prenosa podataka. SPI Master nema informacija o tome da li uopšte postoji Slejv na magistrali, osim ako se 'nešto' dodatno ne radi van SPI protokola.
- SPI ne brine o karakteristikama fizičkih interfejsa, kao što su I / O napon i standard koji se koristi između uređaja.
- Većina primena SPI koristi nekontinualni takt SCLK i prenos podataka bajt-po-bajt.



tenciometar



level shifters



2.2K

Ethernet Interface

